

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
29. Januar 2004 (29.01.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/010501 A1(51) Internationale Patentklassifikation⁷: **H01L 23/66**[AT/AT]; Hackweg 9, A-4081 Hartkirchen (AT). KNAPP,
Herbert [AT/DE]; Keuslinstr. 10, 80798 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2003/002349

(74) Anwalt: KÜHN, Armin; Viering, Jentschura & Partner,
Steinsdorfstr. 6, 80538 München (DE).(22) Internationales Anmeldedatum:
11. Juli 2003 (11.07.2003)(81) Bestimmungsstaaten (*national*): JP, KR, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).(30) Angaben zur Priorität:
102 31 638.4 12. Juli 2002 (12.07.2002) DE

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

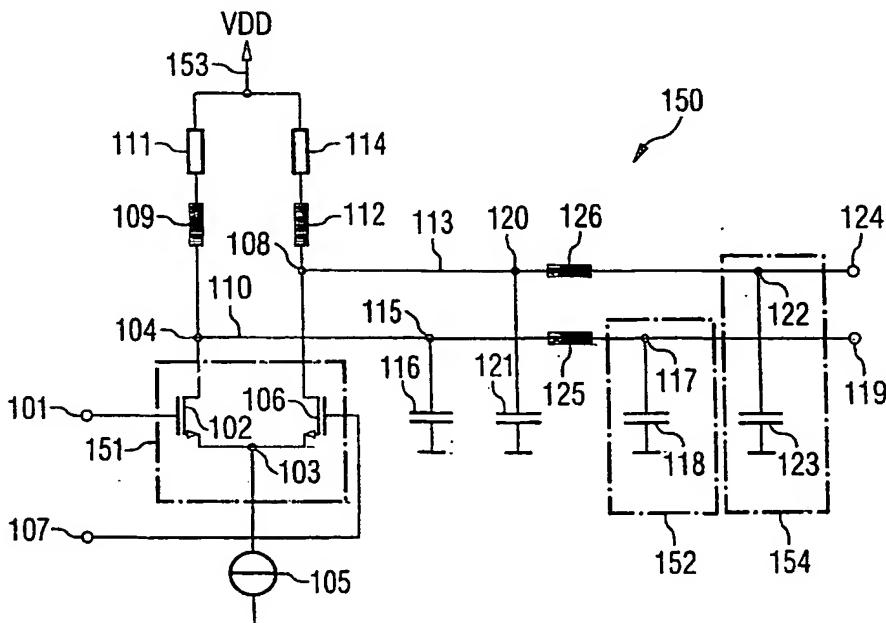
(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

Zur Erklärung der Zwei-Buchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(72) Erfinder; und
(75) Erfinder/Anmelder (*nur für US*): KEHRER, Daniel

(54) Title: INTEGRATED CIRCUIT ARRANGEMENT

(54) Bezeichnung: INTEGRIERTE SCHALTUNGSANORDNUNG



WO 2004/010501 A1

(57) Abstract: The invention relates to an integrated circuit arrangement (150) comprising a monolithic serial inductance (125, 126). The integrated circuit arrangement (150) has an output circuit comprising at least one first output terminal (104, 108), at which a data signal can be provided and at least one first data output terminal (152, 154). At least one first serial inductance (125, 126) is connected between the output terminal(s) (104, 108) and the data output terminal(s) (152, 154).

Fortsetzung auf der nächsten Seite



(57) **Zusammenfassung:** Die Erfindung betrifft eine integrierte Schaltungsanordnung (150) mit einer seriellen, monolithischen Induktivität (125, 126). Die integrierte Schaltungsanordnung (150) weist eine Ausgangsschaltung mit mindestens einem ersten Ausgangsanschluss (104, 108), an welchem ein Datensignal bereitstellbar ist, und mindestens einen ersten Datenausgangsanschluss (152, 154) auf, wobei zwischen dem mindestens einem Ausgangsanschluss (104, 108) und dem mindestens einem Datenausgangsanschluss (152, 154) mindestens eine erste serielle Induktivität (125, 126) geschaltet ist

Beschreibung**Integrierte Schaltungsanordnung**

- 5 Die Erfindung betrifft eine integrierte Schaltungsanordnung.

Mit dem steigenden Umfang an Datenübertragungen und den steigenden Taktfrequenzen von Computern werden Schaltungen, welche über eine höhere Bandbreite verfügen, benötigt. In 10 integrierten Ausgangstreiber-Schaltungen wird die nutzbare Bandbreite meist durch parasitäre Kapazitäten wie zum Beispiel durch parasitäre Kapazitäten eines Datenausgangsanschlusses (Pad) und durch Induktivitäten einer Ausgangsleitung (Bond-Draht), welche üblicherweise an das Pad angeschlossen ist, 15 begrenzt.

Zur Erhöhung der Bandbreite wird gemäß dem Stand der Technik versucht die parasitären Kapazitäten möglichst klein zu halten, da sich hierdurch eine Erhöhung der zur Verfügung 20 stehenden Bandbreite erreichen lässt. Schaltungsanordnungen gemäß dem Stand der Technik werden unter anderen in CML-Technik ausgebildet [1].

Ein zweiter Ansatz zur Erhöhung der zur Verfügung stehenden 25 Bandbreite gemäß dem Stand der Technik ist es, sogenannte Peaking Spulen zu verwenden [2]. Peaking Spulen sind Spulen (Induktivitäten), welche im Stromversorgungsteil einer Ausgangsschaltung angeordnet werden. Diese erhöhen ebenso wie das Auslegen eines Schaltkreises auf möglichst geringe 30 parasitäre Kapazitäten die nutzbare Bandbreite einer Ausgangsschaltung. Eine schematische Ausgangsschaltung eines

Differenzverstärkers mit integrierten Peaking Spulen gemäß dem Stand der Technik ist in **Figur 7** gezeigt.

In Figur 7 ist ein Ersatzschaltbild einer integrierten Schaltung 50 gemäß dem Stand der Technik dargestellt, welche als Ausgangsstufe einen Differenzverstärker 51 aufweist. Ein erster Daten-Eingang 1 des Differenzverstärkers 51 ist mit dem Gate eines ersten Transistors 2 gekoppelt, dessen einer Source/Drain Bereich mit einem ersten Knoten 3 gekoppelt ist und dessen zweiter Source/Drain Bereich mit einem zweiten Knoten 4 gekoppelt ist. Der zweite Knoten 4 bildet einen ersten Ausgangsanschluss des Differenzverstärkers 51. Der erste Knoten 3 ist mit einem Anschluss einer Stromquelle 5 und mit einem ersten Source/Drain Bereich eines zweiten Transistors 6 gekoppelt. Das Gate des zweiten Transistors 6 ist mit einem zweiten Daten-Eingang 7, welcher zweite Daten-Eingang differentiell zu dem ersten Daten-Eingang 1 ist, gekoppelt. Der zweite Source/Drain Bereich des zweiten Transistors 6 ist mit einem dritten Knoten 8 gekoppelt. Der dritte Knoten 8 bildet einen zweiten Ausgangsanschluss des Differenzverstärkers 51. Der zweite Knoten 4 ist mit einer ersten Peaking Spule 9 und einer ersten Leitung 10 gekoppelt, welche eine erste Leitung 10 von dem ersten Ausgangsanschluss 4 des Differenzverstärkers 51 zu einem ersten Datenausgangsanschluss (Pad) 52 bildet. Die erste Peaking Spule 9 ist ferner mittels eines ersten Widerstandes 11 mit einem Anschluss einer Spannungsquelle 53 gekoppelt. Der dritte Knoten 8 ist mit einer zweiten Peaking Spule 12 und einer zweiten Leitung 13 gekoppelt, welche eine zweite Leitung 13 von dem zweiten Ausgangsanschluss 8 des Differenzverstärkers 51 zu einem zweiten Datenausgangsanschluss (Pad) 54 bildet. Die zweite Peaking

Spule 12 ist ferner mittels eines zweiten Widerstandes 14 mit dem zweiten Anschluss der Spannungsquelle gekoppelt.

- Der erste Ausgangsanschluss 4 des Differenzverstärkers 51 ist
5 mit einem vierten Knoten 15 gekoppelt. Der vierte Knoten 15
ist mit einer ersten Kapazität 16 gekoppelt, welche im
Wesentlichen die parasitären Kapazitäten der Ausgangsschaltung
(Transistor 2) repräsentiert. Weiterhin ist der vierte Knoten
15 mit einem fünften Knoten 17 gekoppelt. Der fünfte Knoten 17
10 ist mit einer zweiten Kapazität 18 gekoppelt, welche im
Wesentlichen die parasitären Kapazitäten des ersten
Datenausgangsanschlusses 52 repräsentiert. Weiterhin ist der
fünfte Knoten 17 mit einem ersten Daten-Ausgang 19 gekoppelt.

15 Der zweite Ausgangsanschluss 8 des Differenzverstärkers 51 ist
mit einem sechsten Knoten 20 gekoppelt. Der sechste Knoten 20
ist mit einer dritten Kapazität 21 gekoppelt, welche im
Wesentlichen die parasitären Kapazitäten der Ausgangsschaltung
(Transistor 6) repräsentiert. Weiterhin ist der sechste Knoten
20 20 mit einem siebten Knoten 22 gekoppelt. Der siebte Knoten 22
ist mit einer vierten Kapazität 23 gekoppelt, welche im
Wesentlichen die parasitären Kapazitäten des zweiten
Datenausgangsanschlusses 54 repräsentiert. Weiterhin ist der
siebte Knoten 22 mit einem zweiten Daten-Ausgang 24 gekoppelt.
25

Jedoch verursachen selbst bei Verwenden von Peaking Spulen,
die parasitären Kapazitäten der Datenausgangsanschlüsse 52, 54
eine Verringerung der nutzbaren Bandbreite auf einen Wert
unterhalb der intrinsischen Bandbreite der Schaltung. D.h. die
30 nutzbare Bandbreite der Schaltung ist geringer als sie durch
die verwendeten Art der Bauteile erreichbar wäre, wenn keine
parasitären Kapazitäten auftreten würden.

Aus [3] ist ein Verfahren zur Stabilisierung eines Leistungsumformers gegen Schwingungen, die durch Fehlanpassung zwischen dem Einstellwert für eine Ausgangsspannung und einer 5 verfügbaren Vielzahl von quantisierten Arbeitszyklen verursacht werden, bekannt.

Aus [4] ist ein Betriebsüberwachungssystem für Radaranlagen mit einer nahe der Radarantenne befindlichen Überwachungs- 10 Empfangseinrichtung zur Gewinnung einer Probe des Sendesignals des Radarsenders bekannt.

Der Erfindung liegt das Problem zugrunde die zur Verfügung stehende Bandbreite einer Ausgangsschaltung zu erhöhen.

15

Dieses Problem wird durch eine Vorrichtung gemäß dem unabhängigen Patentanspruch gelöst.

Eine erfindungsgemäße integrierte Schaltungsanordnung weist 20 eine Ausgangsschaltung mit mindestens einem ersten Ausgangsanschluss und mindestens einem ersten Datenausgangsanschluss auf. Wobei zwischen dem mindestens ersten Ausgangsanschluss und dem mindestens ersten Datenausgangsanschluss eine Induktivität geschaltet ist.

25

Mittels der erfindungsgemäßen Schaltungsanordnung wird eine Schaltungsanordnung geschaffen, welche eine größere nutzbare Bandbreite für Datensignale zur Verfügung stellt. Dies geschieht mittels des vorteilhaften Ausbildens einer seriellen 30 Induktivität in einem Zweig der Schaltung, welcher den mindestens ersten Ausgangsanschluss mit dem mindestens ersten Datenausgangsanschluss koppelt. Diese Induktivität bildet

zusammen mit einer parasitären Kapazität des Datenausgangsanschlusses anschaulich ein Filter, welches die nutzbare Bandbreite der Schaltungsanordnung erhöht.

- 5 Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Vorzugsweise weist die Ausgangsschaltung der erfindungsgemäßen Schaltungsanordnung einen zweiten Ausgangsanschluss auf.

- 10 Ferner weist die Schaltungsanordnung einen zweiten Datenausgangsanschluss auf, wobei zwischen den zweiten Datenausgangsanschluss und dem zweiten Ausgangsanschluss mindestens eine zweite Induktivität geschaltet ist.
- 15 Ferner vorzugsweise ist die erste Induktivität der erfindungsgemäßen Schaltungsanordnung so ausgebildet, dass sie gemeinsam mit dem ersten Datenausgangsanschluss ein erstes Frequenzfilter bildet, welches ein vorgegebenes Frequenzband aufweist, und die zweite Induktivität der erfindungsgemäßen Schaltungsanordnung ist so ausgebildet, dass sie gemeinsam mit dem zweiten Datenausgangsanschluss ein zweites Frequenzfilter bildet, welches das vorgegebene Frequenzband aufweist. Dies wird dadurch erreicht, dass die zwischengeschaltete erste Induktivität und die zwischengeschaltete zweite Induktivität 20 so ausgebildet sind, dass die sich in Verbindung mit den Kapazitäten der ersten bzw. zweiten Datenausgangsanschlüsse ergebenden Filter eine Resonanzfrequenz aufweisen, welche mit dem verwendeten Frequenzband der Schaltungsanordnung korrespondiert.
- 25
- 30 Vorzugsweise ist das Filter so eingerichtet, dass das vorgegebene Frequenzband im Bereich von 1 GHz bis 100 GHz

liegt. Besonders bevorzugt ist das Filter so eingerichtet, dass das Frequenzband im Bereich von 10 GHz bis 20 GHz liegt.

- Vorzugsweise ist, wenn in der integrierten Schaltungsanordnung
- 5 mehrere parasitäre Kapazitäten ausgebildet sind, mittels jeder parasitären Kapazität und mittels einer entsprechenden Induktivität ein Filter ausgebildet. Die integrierte Schaltungsanordnung weist dann zwischen dem mindestens ersten Ausgangsanschluss und dem mindestens ersten
- 10 Datenausgangsanschluss mehrere Frequenzfilter, welche in Serie gekoppelt sind, auf. Die Frequenzfilter werden jeweils aus einer Induktivität und einer parasitären Kapazität gebildet, welche durch elektronische Bauelemente verursacht werden, welche in die Verbindung zwischen dem Ausgangsanschluss der
- 15 Ausgangsschaltung und dem Datenausgangsanschluss gekoppelt sind. Dies können z.B. Elektrostatic-Discharge-Vorrichtungen (ESD) sein, welche dazu verwendet werden, die integrierte Schaltungsanordnung vor äußereren Ladungen zu schützen.
- 20 Vorzugsweise ist die Ausgangsschaltung derart eingerichtet, dass an dem ersten Ausgangsanschluss und dem zweiten Ausgangsanschluss ein differentielles Signal bereitstellbar ist.
- 25 Ferner vorzugsweise ist, wenn von der Ausgangsschaltung am ersten Ausgangsanschluss und am zweiten Ausgangsanschluss ein differentielles Signal bereitgestellt ist, die mindestens eine erste Induktivität mit der mindestens einen zweiten Induktivität gekoppelt.

30

Mittels einer Kopplung von jeweils zwei Induktivitäten, wobei eine erste Induktivität in der Kopplung zwischen dem ersten

Ausgangsanschluss und dem ersten Datenausgangsanschluss und eine zweite Induktivität in der Kopplung zwischen dem zweiten Ausgangsanschluss und dem zweiten Datenausgangsanschluss eingeschaltet ist, ergibt sich bei einem differentiellen

- 5 Signal der Vorteil, dass jeweils beiden Datensignalen beide Induktivitäten zur Verfügung stehen. Dies führt dazu, dass es möglich ist, bei geringerer verfügbarer Chipfläche die gleiche Induktivität auszubilden. Auf diese Weise kann eine erhebliche Chipfläche eingespart werden.

10

) Vorzugsweise ist mindestens eine Induktivität eine monolithisch, integrierte Induktivität. Besonders vorzugsweise sind alle Induktivitäten als monolithisch, integrierte Induktivitäten ausgebildet.

15

Die Ausgangsschaltung der integrierten Schaltungsanordnung kann jede breitbandige Ausgangsstufe sein. Vorzugsweise weist die Ausgangsschaltung einen Differenzverstärker oder einen Multiplexer auf.

20

) Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Es zeigen:

25

Figur 1 ein schematisches Schaltbild einer Schaltungsanordnung gemäß einem ersten Ausführungsbeispiel der Erfindung;

30 Figur 2 ein schematisches Schaltbild einer Schaltungsanordnung gemäß einem zweiten Ausführungsbeispiel der Erfindung;

Figur 3 ein schematisches Schaltbild einer Schaltungsanordnung gemäß einem dritten Ausführungsbeispiel der Erfindung;

5

Figur 4 ein schematisches Schaltbild einer Schaltungsanordnung gemäß einem vierten Ausführungsbeispiel der Erfindung;

10 Figur 5 ein Diagramm, welches für eine Schaltungsanordnung mit und ohne Serieninduktivität die Verläufe eines Signals über eine Frequenz des Signals zeigt;

15 Figur 6A ein Augendiagramm für eine Schaltungsanordnung ohne Peaking Spulen gemäß dem Stand der Technik;

Figur 6B ein Augendiagramm für eine Schaltungsanordnung mit Peaking Spulen gemäß dem Stand der Technik;

20 Figur 6C ein Augendiagramm für eine erfindungsgemäße Schaltungsanordnung mit Peaking Spulen und seriellen Induktivitäten; und

25 Figur 7 ein schematisches Schaltbild einer Ausgangsstufe gemäß dem Stand der Technik.

In Figur 1 ist ein erstes Ausführungsbeispiel einer integrierten Schaltungsanordnung 150 dargestellt, welche als Ausgangsstufe einen Differenzverstärker 151 auf CMOS Basis 30 aufweist. Ein erster Daten-Eingang 101 des Differenzverstärkers 151 ist mit dem Gate eines ersten Transistors 102 gekoppelt, dessen einer Source/Drain Bereich

mit einem ersten Knoten 103 gekoppelt ist und dessen zweiter Source/Drain Bereich mit einem zweiten Knoten 104 gekoppelt ist. Der zweite Knoten 104 bildet einen ersten Ausgangsanschluss des Differenzverstärkers 151. Der erste 5 Knoten 103 ist mit einem Anschluss einer Stromquelle 105 und mit einem ersten Source/Drain Bereich eines zweiten Transistors 106 gekoppelt. Das Gate des zweiten Transistors 106 ist mit einem zweiten Daten-Eingang 107, welcher zweite Daten-Eingang 107 differentiell zu dem ersten Daten-Eingang 101 ist, gekoppelt. Der zweite Source/Drain Bereich des zweiten Transistors 106 ist mit einem dritten Knoten 108 gekoppelt. Der dritte Knoten 108 bildet einen zweiten Ausgangsanschluss des Differenzverstärkers 151. Der zweite 10 Knoten 104 ist mit einer ersten Peaking Spule 109 und einer ersten Leitung 110 gekoppelt, welche eine erste Leitung 110 von dem ersten Ausgangsanschluss 104 des Differenzverstärkers 151 zu einem ersten Datenausgangsanschluss (Pad) 152 bildet. Die erste Peaking Spule 109 ist ferner mittels eines ersten 15 Widerstandes 111 mit einem Anschluss einer Spannungsquelle 153 gekoppelt. Der dritte Knoten 108 ist mit einer zweiten Peaking Spule 112 und einer zweiten Leitung 113 gekoppelt, welche eine zweite Leitung 113 von dem zweiten Ausgangsanschluss 108 des Differenzverstärkers 151 zu einem zweiten 20 Datenausgangsanschluss (Pad) 154 bildet. Die zweite Peaking 25 Spule 112 ist ferner mittels eines zweiten Widerstandes 114 mit dem Anschluss der Spannungsquelle 153 gekoppelt.

Der erste Ausgangsanschluss 104 des Differenzverstärkers 151 ist mit einem vierten Knoten 115 gekoppelt. Der vierte Knoten 30 115 ist mit einer ersten Kapazität 116 gekoppelt, welche im Wesentlichen die parasitären Kapazitäten der Ausgangsschaltung (Transistor 102) repräsentiert. Weiterhin ist der vierte

Knoten 115 mit einer ersten seriellen, monolithischen Induktivität 125 gekoppelt. Die erste serielle, monolithische Induktivität 125 ist mit einem fünften Knoten 117 gekoppelt. Der fünfte Knoten 117 ist mit einer zweiten Kapazität 118 gekoppelt, welche im Wesentlichen die parasitären Kapazitäten des ersten Datenausgangsanschlusses 152 repräsentiert. Weiterhin ist der fünfte Knoten 117 mit einem ersten Daten-Ausgang 119 gekoppelt.

10 Der zweite Ausgangsanschluss 108 des Differenzverstärkers 151 ist mit einem sechsten Knoten 120 gekoppelt. Der sechste Knoten 120 ist mit einer dritten Kapazität 121 gekoppelt, welche im Wesentlichen die parasitären Kapazitäten der Ausgangsschaltung (Transistor 106) repräsentiert. Weiterhin
15 ist der sechste Knoten 20 mit einer zweiten seriellen, monolithischen Induktivität 126 gekoppelt. Die zweite serielle, monolithische Induktivität 126 ist mit einem siebten Knoten 122 gekoppelt. Der siebte Knoten 122 ist mit einer vierten Kapazität 123 gekoppelt, welche im Wesentlichen die
20 parasitären Kapazitäten des zweiten Datenausgangsanschlusses 154 repräsentiert. Weiterhin ist der siebte Knoten 122 mit einem zweiten Daten-Ausgang 124 gekoppelt.

Die erste Kapazität 116, die zweite Kapazität 118 und die
25 erste serielle Induktivität 125 bilden gemeinsam ein erstes π -Filter. Die dritte Kapazität 121, die vierte Kapazität 123 und die zweite serielle Induktivität 126 bilden gemeinsam ein zweites π -Filter. Mittels dieser π -Filter wird die nutzbare Bandbreite der Ausgangsschaltung (Differenzverstärker) erhöht.

30

In einem Ausführungsbeispiel, welches auf eine Frequenz von 20 GHz ausgelegt ist, haben, für einen Ausgangswiderstand von

50 Ω ausgelegt, die beiden Peaking Spulen 109 und 112 jeweils eine Induktivität von 0,25 nH, die parasitären Kapazitäten der Transistoren 102 und 106 betragen 50 fF und die beiden seriellen Induktivitäten 125 und 126 eine Induktivität von 5 0,15 nH.

Die erfindungsgemäße Lehre ist für alle breitbandigen Ausgangsschaltungen zum Erhöhen der Bandbreite der Ausgangsschaltung anwendbar.

10

Als zweites Ausführungsbeispiel der Erfindung ist in **Figur 2** das Ersatzschaltbild eines Multiplexers 251 auf CMOS Basis als Ausgangsstufe der Schaltungsanordnung 250 dargestellt, welcher in seinem Ausgangsanschluss erfindungsgemäße serielle, 15 monolithische Induktivitäten aufweist.

Ein erster Daten-Eingang 201 ist mit dem Gate eines ersten Transistors 202 gekoppelt, dessen erster Source/Drain Bereich mit einem ersten Knoten 203 gekoppelt ist und dessen zweiter 20 Source/Drain Bereich mit einem zweiten Knoten 204 gekoppelt ist. Der erste Knoten 203 ist mit einem ersten Source/Drain Bereich eines zweiten Transistors 204 gekoppelt. Das Gate des zweiten Transistors 204 ist mit einem zweiten Daten-Eingang 205 gekoppelt, welcher differentiell zum ersten Daten-Eingang 201 ist. Ein zweiter Source/Drain Bereich des zweiten Transistors 204 ist mit einem sechsten Knoten 206 gekoppelt. Ferner ist der erste Knoten 203 mit einem ersten Source/Drain Bereich eines dritten Transistors 207 gekoppelt. Das Gate des dritten Transistors 207 ist mit einem ersten Takteingang 208 25 gekoppelt. Der zweite Source/Drain Bereich des dritten Transistors 207 ist mit einem dritten Knoten 208 gekoppelt. Der dritte Knoten 208 ist mit einem Anschluss einer

Stromquelle 209 und mit einem ersten Source/Drain Bereich eines vierten Transistors 210 gekoppelt. Das Gate des vierten Transistors 210 ist mit einem zweiten Takteingang 211, welcher zweite Takteingang 211 differentiell zu dem ersten 208

5 Takteingang ist, gekoppelt. Der zweite Source/Drain Bereich des vierten Transistors 210 ist mit einem vierten Knoten 212 gekoppelt. Der vierte Knoten 212 ist mit einem ersten Source/Drain Bereich eines fünften Transistors 213 und mit einem ersten Source/Drain Bereich eines sechsten Transistors

10 214 gekoppelt. Das Gate des fünften Transistors 213 ist mit einem dritten Daten-Eingang 215 gekoppelt. Ein zweiter Source/Drain Bereich des fünften Transistors 213 ist mit einem fünften Knoten 216 gekoppelt. Der fünfte Knoten 216 bildet einen ersten Ausgangsanschluss 216 des Multiplexers 251. Das

15 Gate des sechsten Transistors 214 ist mit einem vierten Daten-Eingang 217 gekoppelt, welcher zu dem dritten Daten-Eingang 215 differentiell ist. Ein zweiter Source/Drain Bereich des sechsten Transistors 214 ist mit dem sechsten Knoten 206 gekoppelt. Der sechste Knoten 206 bildet einen zweiten

20 Ausgangsanschluss 206 des Multiplexers 251

Der zweite Knoten 204 ist mit dem fünften Knoten 216 gekoppelt. Ferner ist der zweite Knoten 204 mit einer ersten Peaking Spule 217 gekoppelt. Die erste Peaking Spule 217 ist

25 ferner mittels eines ersten Widerstandes 218 mit einem Anschluss einer Spannungsquelle 253 gekoppelt.

Der fünfte Knoten 216 ist ferner mit einer ersten Leitung 219 gekoppelt, welche eine erste Leitung 219 von dem ersten

30 Ausgangsanschluss 216 des Multiplexers 251 zu einem ersten Datenausgangsanschluss 252 bildet

Der sechste Knoten 206 ist ferner mit einer zweiten Peaking Spule 220 und einer zweiten Leitung 221 gekoppelt, welche eine zweite Leitung 221 von dem zweiten Ausgangsanschluss 206 des Multiplexers 251 zu einem zweiten Datenausgangsanschluss 254 bildet. Die zweite Peaking Spule 220 ist ferner mittels eines zweiten Widerstandes 222 mit dem Anschluss der Spannungsquelle 253 gekoppelt.

Der erste Ausgangsanschluss 216 ist mit einem siebten Knoten 223 gekoppelt. Der siebte Knoten 223 ist mit einer ersten Kapazität 224 gekoppelt, welche im Wesentlichen die parasitären Kapazitäten der Ausgangsschaltung (Transistoren) repräsentiert. Weiterhin ist der siebte Knoten 223 mit einer ersten seriellen, monolithischen Induktivität 225 gekoppelt, welche ferner mit einem achten Knoten 226 gekoppelt ist. Der achte Knoten 226 ist mit einer zweiten Kapazität 227 gekoppelt, welche im Wesentlichen die parasitären Kapazitäten des ersten Datenausgangsanschlusses 252 repräsentiert. Weiterhin ist der achte Knoten 226 mit einem ersten Daten-Ausgang 228 gekoppelt.

Der zweite Ausgangsanschluss 206 ist mit einem neunten Knoten 229 gekoppelt. Der neunte Knoten 229 ist mit einer dritten Kapazität 230 gekoppelt, welche im Wesentlichen die parasitären Kapazitäten der Ausgangsschaltung (Transistoren) repräsentiert. Weiterhin ist der neunte Knoten 229 mit einer zweiten seriellen, monolithischen Induktivität 231 gekoppelt, welche ferner mit einem zehnten Knoten 232 gekoppelt ist. Der zehnte Knoten 232 ist mit einer vierten Kapazität 233 gekoppelt, welche im Wesentlichen die parasitären Kapazitäten des zweiten Datenausgangsanschlusses 254 repräsentiert.

Weiterhin ist der zehnte Knoten 232 mit einem zweiten Daten-Ausgang 234 gekoppelt.

In Figur 3 ist ein drittes Ausführungsbeispiel der Erfindung 5 gezeigt. Das Ausführungsbeispiel gleicht dem ersten Ausführungsbeispiel der Erfindung in Figur 1, außer in zwei Punkten. Erstens ist der fünfte Knoten 117 mit einer fünften Kapazität 327 und einer dritten seriellen, monolithischen Induktivität 328 gekoppelt. Die dritte serielle, monolithische 10 Induktivität 328 ist mit einem achten Knoten 329 gekoppelt, welcher mit dem ersten Daten-Ausgang 119 und der zweiten Kapazität 118 gekoppelt ist. Zweitens ist der siebte Knoten 122 mit einer sechsten Kapazität 330 und einer vierten seriellen, monolithischen Induktivität 331 gekoppelt. Die 15 vierte serielle, monolithische Induktivität 331 ist mit einem neunten Knoten 332 gekoppelt, welcher mit dem zweiten Daten-Ausgang 124 und der vierten Kapazität 123 gekoppelt ist. Die fünfte Kapazität 327 und sechste Kapazität 330 stellen parasitäre Kapazitäten dar, welche z.B. durch Elektrostatic- 20 Discharge-Vorrichtung (ESD) 333 verursacht werden, welche ESD dazu verwendet werden, die integrierte Schaltungsanordnung vor äußereren Ladungen zu schützen.

Im dritten Ausführungsbeispiel ist mittels der ersten 25 Kapazität 116, der fünften Kapazität 327 und der ersten seriellen, monolithischen Induktivität 125 ein erstes n-Filter ausgebildet. Mittels der fünften Kapazität 327, der zweiten Kapazität 118 und der dritten seriellen, monolithischen Induktivität 328 ist ein zweites n-Filter ausgebildet. Mittels 30 der dritten Kapazität 121, der sechsten Kapazität 330 und der zweiten seriellen, monolithischen Induktivität 126 ist ein drittes n-Filter ausgebildet. Mittels der sechsten Kapazität

330, der vierten Kapazität 123 und der vierten seriellen, monolithischen Induktivität 331 ist ein vierter π -Filter ausgebildet.

- 5 Das erste π -Filter ist mit dem zweiten π -Filter in Serie geschaltet. Das dritte π -Filter ist mit dem vierten π -Filter in Serie geschaltet.

In Figur 4 ist ein vierter Ausführungsbeispiel der Erfindung
10 gezeigt. Das Ausführungsbeispiel gleicht dem ersten Ausführungsbeispiel der Erfindung in Figur 2, außer dass im vierten Ausführungsbeispiel die erste serielle, monolithische Induktivität 125 mit der zweiten seriellen, monolithischen Induktivität 126 gekoppelt ist.

15

Die Kopplung der beiden seriellen, monolithischen Induktivitäten hat bei einem differentiellen Ausgangssignal, welches von der Ausgangsschaltung bereitgestellt wird, den Vorteil, dass bei gleicher zur Verfügung stehender
20 Induktivität Platz eingespart werden kann, da die Induktivitäten 125 und 126 für beide Ausgangssignale der Ausgangsstufe zur Verfügung stehen.

In Figur 5 sind die Ergebnisse von Simulationen miteinander
25 verglichen. Es ist die am Ausgang der Schaltungsanordnung zur Verfügung stehenden Spannung (Signalstärke) über die Frequenz des Signals aufgetragen. Eine erste Simulation 501 wurde für eine Schaltungsanordnung gemäß dem Stand der Technik ohne eine serielle, monolithische Induktivität durchgeführt. Eine zweite
30 Simulation 502 wurde für eine Schaltungsanordnung gemäß dem ersten Ausführungsbeispiel der Erfindung durchgeführt. Man erkennt deutlich, dass in der erfindungsgemäßen

Schaltungsanordnung die Signalhöhe einen steileren Abfall 503 bei hohen Frequenzen zeigt. Dieser steilere Abfall 503 tritt aber erst bei höheren Frequenzen auf, als bei einer Schaltungsanordnung gemäß dem Stand der Technik. Die Erhöhung 5 des Signals in der erfindungsgemäßen Schaltungsanordnung zwischen etwa 30 GHz und etwa 50 GHz führt dazu, dass die zur Verfügung stehende Bandbreite deutlich vergrößert wird. Das Schaubild zeigt somit, dass das Verwenden einer seriellen, monolithischen Induktivität die verwendbare Bandbreite einer 10 Ausgangsstufe deutlich erhöht.

In **Figur 6A** ist ein sogenanntes Augendiagramm einer simulierten Schaltungsanordnung gemäß dem Stand der Technik ohne Peaking Spulen gezeigt. Die wichtigen Parameter eines 15 Datensignals lassen sich aus dem Augendiagramm ableiten. Das Augendiagramm entsteht durch die Überlagerung von gleichartigen "1" und "0" Folgen des Datensignals auf einem Schirm eines Oszilloskops. Die Augendarstellung zeigt durch die Überlagerung vieler einzelner Bits in der Regel ein 20 unscharfes Bild. Ursache sind die vorhandenen Überschwinger und ein durch eine Bandbegrenzung hervorgerufene Signaljitter. Figur 6A zeigt einen relativ flachen Anstieg des Signals. Das sogenannte Auge weist daher nur eine relativ geringe Öffnung 25 auf.

25

In **Figur 6B** ist ein sogenanntes Augendiagramm einer simulierten Schaltungsanordnung gemäß dem Stand der Technik mit Peaking Spulen gezeigt. Im Gegensatz zu Figur 6A ist das Auge in Figur 6B weiter geöffnet. Dies zeigt eine Verbesserung 30 der Qualität der Schaltungsanordnung an. Der Anstieg des Signals ist jedoch weiterhin flach bzw. langsam. Dies bedeutet, dass ein Erreichen einer Schwelle, welches Erreichen

als ein Signal gewertet wird, erst nach einer gewissen Zeit erzielt wird.

In Figur 6C ist ein sogenanntes Augendiagramm einer simulierten Schaltungsanordnung gemäß dem ersten Ausführungsbeispiel der Erfindung gezeigt. Das dargestellte Auge ist weit geöffnet. Der Anstieg des Signals im Anfangsbereich des Auges ist wesentlich steiler als in Figur 6B. Die erfindungsgemäße Schaltungsanordnung mit mindestens einer seriellen, monolithischen Induktivität erhöht das nutzbare Frequenzband deutlich. Man erkennt auch, dass eine Abtastrate des Signals und damit eine Datenübertragungsrate erhöht werden könnte, da die Signaljitter klein und die Steilheit des Anstieges des Signals ausreichend sind, um die Abtastrate zu erhöhen.

Zusammenfassend schafft die Erfindung eine Schaltungsanordnung einer Ausgangsstufe, welche anschaulich mittels mindestens einer monolithischen Induktivität, welche in Serie mit der Ausgangsschaltung geschaltet ist, die verwendbare Bandbreite der Ausgangsstufe deutlich erhöht, wenn das limitierende Element für die Bandbreite die parasitären Kapazitäten sind.

Die Erfindung kann für alle Arten von breitbandigen Ausgangsschaltungen, z.B. auch für Treiberschaltungen oder Latch-Schaltungen, verwendet werden, welche z.B. in CML-Technik unter Verwenden von bipolaren Transistoren ausgebildet sein können. Die Erfindung ist ferner für jede beliebige Halbleitertechnologie, wie z.B. SiGe, InP, GaAs oder andere Verbindungshalbleiter, auf welcher man Induktivitäten realisieren kann, anwendbar.

In diesem Dokument sind folgende Dokumente zitiert:

- [1] An MOS Current Mode Logic (MCML) Circuit for Low-Power GHz Processors, M. Yamashina and H. Yamada, NEC Res. & Develop., 36, No. 1 (1995), pp. 54-62
- 5 [2] 40-Gb/s High-Power Modulator Driver IC for Lightwave Communication Systems, Z. Lao et al., IEEE Journal of Solid-State Circuits, 33, No. 10 (1998), pp. 1520-1526
- [3] DE 696 16 126 T2
- 10 [4] DE 28 09 498 C2

Bezugszeichenliste

- 1 erster Daten-Eingang
- 2 erster Transistor
- 5 3 erster Knotenpunkt
- 4 zweiter Knotenpunkt
- 5 Spannungsquelle
- 6 zweiter Transistor
- 7 zweiter Daten-Eingang
- 10 8 dritter Knotenpunkt
-) 9 erste Peaking Spule
- 10 erste Leitung
- 11 erster Widerstand
- 12 zweite Peaking Spule
- 15 13 zweite Leitung
- 14 zweiter Widerstand
- 15 vierter Knotenpunkt
- 16 erste Kapazität
- 17 fünfter Knotenpunkt
- 20 18 zweite Kapazität
-) 19 erster Daten-Ausgang
- 20 sechster Knotenpunkt
- 21 dritte Kapazität
- 22 siebter Knotenpunkt
- 25 23 vierte Kapazität
- 24 zweiter Daten-Ausgang
- 50 Schaltungsanordnung
- 51 Differenzverstärker
- 52 erster Datenausgangsanschluss
- 30 53 Spannungsquelle
- 54 zweiter Datenausgangsanschluss
- 101 erster Daten-Eingang

- 102 erster Transistor
- 103 erster Knotenpunkt
- 104 zweiter Knotenpunkt
- 105 Spannungsquelle
- 5 106 zweiter Transistor
- 107 zweiter Daten-Eingang
- 108 dritter Knotenpunkt
- 109 erste Peaking Spule
- 110 erste Leitung
- 10 111 erster Widerstand
- 112 zweite Peaking Spule
-) 113 zweite Leitung
- 114 zweiter Widerstand
- 115 vierter Knotenpunkt
- 15 116 erste Kapazität
- 117 fünfter Knotenpunkt
- 118 zweite Kapazität
- 119 erster Daten-Ausgang
- 120 sechster Knotenpunkt
- 20 121 dritte Kapazität
- 122 siebter Knotenpunkt
- 123 vierte Kapazität
-) 124 zweiter Daten-Ausgang
- 125 erste serielle, monolithische Induktivität
- 25 126 zweite serielle, monolithische Induktivität
- 150 Schaltungsanordnung
- 151 Differenzverstärker
- 152 erster Datenausgangsanschluss
- 153 Spannungsquelle
- 30 154 zweiter Datenausgangsanschluss
- 201 erster Daten-Eingang
- 202 erster Transistor

- 203 erster Knotenpunkt
- 204 zweiter Knotenpunkt
- 205 zweiter Daten-Eingang
- 206 sechster Knotenpunkt
- 5 207 dritter Transistor
- 208 erster Clockeingang
- 209 Spannungsquelle
- 210 vierter Transistor
- 211 zweiter Clockeingang
- 10 212 vierter Knotenpunkt
- 213 fünfter Transistor
- 214 sechster Transistor
- 215 dritter Daten-Eingang
- 216 fünfter Knotenpunkt
- 15 217 erste Peaking Spule
- 218 erster Widerstand
- 219 erste Leitung
- 220 zweite Peaking Spule
- 221 zweite Leitung
- 20 222 zweiter Widerstand
- 223 siebter Knotenpunkt
- 224 erste Kapazität
- 225 erste serielle, monolithische Induktivität
- 226 achter Knotenpunkt
- 25 227 zweite Kapazität
- 228 erster Daten-Ausgang
- 229 neunter Knotenpunkt
- 230 dritte Kapazität
- 231 zweite serielle, monolithische Induktivität
- 30 232 zehnter Knotenpunkt
- 233 vierte Kapazität
- 234 zweiter Daten-Ausgang

- 250 Schaltungsanordnung
- 251 Multiplexer
- 252 erster Datenausgangsanschluss
- 253 Spannungsquelle
- 5 254 zweiter Datenausgangsanschluss
- 327 fünfte Kapazität
- 328 dritte serielle, monolithische Induktivität
- 329 achter Knotenpunkt
- 330 sechste Kapazität
- 10 331 vierte serielle, monolithische Induktivität
- 332 neunter Knotenpunkt
- 333 Elektrodynamische-Stress-Vorrichtung
- 501 Simulation gemäß Stand der Technik
- 502 Simulation gemäß ersten Ausführungsbeispiel
- 15 503 steiler Abfall der Signalhöhe

Patentansprüche

1. Integrierte Schaltungsanordnung, welche aufweist:
5 eine Ausgangsschaltung mit mindestens einem ersten Ausgangsanschluss, an welchem ein Datensignal bereitstellbar ist;
mindestens einen ersten Datenausgangsanschluss,
wobei zwischen dem mindestens ersten Ausgangsanschluss und dem
10 mindestens einem Datenausgangsanschluss mindestens eine erste Induktivität geschaltet ist.
2. Integrierte Schaltungsanordnung gemäß Anspruch 1, wobei die Ausgangsschaltung einen zweiten Ausgangsanschluss und
15 einen zweiten Datenausgangsanschluss aufweist, zwischen welchem zweiten Ausgangsanschluss und zweiten Datenausgangsanschluss mindestens eine zweite Induktivität geschaltet ist.
- 20 3. Integrierte Schaltungsanordnung gemäß Anspruch 2, wobei die erste Induktivität so ausgebildet ist, dass sie gemeinsam mit dem ersten Datenausgangsanschluss einen ersten Frequenzfilter mit einem vorgegebenen Frequenzband bildet, und die zweite Induktivität so ausgebildet ist, dass sie gemeinsam
25 mit dem zweiten Datenausgangsanschluss einen zweiten Frequenzfilter mit dem vorgegebenen Frequenzband bildet.
4. Integrierte Schaltungsanordnung gemäß Anspruch 3, wobei das vorgegebene Frequenzband im Bereich von 1 GHz bis 100 GHz
30 ist.

5. Integrierte Schaltungsanordnung gemäß einem der Ansprüche 1 bis 4, welche zwischen dem mindestens ersten Ausgangsanschluss und dem mindestens ersten Datenausgangsanschluss mehrere Frequenzfilter in Serie 5 gekoppelt aufweist.
6. Integrierte Schaltungsanordnung gemäß einem der Ansprüche 2 bis 5, wobei die Ausgangsschaltung derart eingerichtet ist, dass an dem ersten Ausgangsanschluss und dem zweiten 10 Ausgangsanschluss ein differentielles Datensignal bereitstellbar ist.
7. Integrierte Schaltungsanordnung gemäß Anspruch 6, wobei die mindestens eine erste Induktivität mit der mindestens 15 einen zweiten Induktivität gekoppelt ist.
8. Integrierte Schaltung gemäß einem der Ansprüche 1 bis 7, wobei mindestens eine der Induktivitäten eine monolithisch integrierte Induktivität ist. 20
9. Integrierte Schaltungsanordnung gemäß einem der Ansprüche 1 bis 8, wobei die Ausgangsschaltung einen Differenzverstärker aufweist.
- 25 10. Integrierte Schaltungsanordnung gemäß einem der Ansprüche 1 bis 8, wobei die Ausgangsschaltung einen Multiplexer aufweist.